

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-268624

(43)Date of publication of application : 20.09.2002

(51)Int.Cl. G09G 5/00
 G06T 3/00
 H04N 1/40
 H04N 5/228
 H04N 9/07
 H04N 9/64

(21)Application number : 2001-068714

(71)Applicant : MEGA CHIPS CORP

(22)Date of filing : 12.03.2001

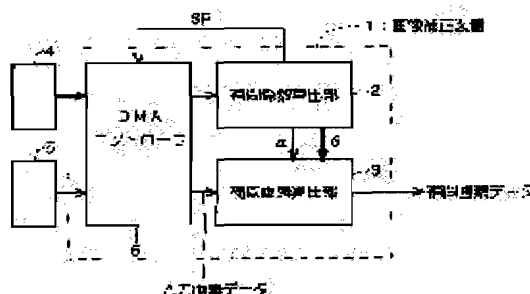
(72)Inventor : SASAKI HAJIME

(54) DEVICE AND METHOD FOR CORRECTING IMAGE

(57)Abstract:

PROBLEM TO BE SOLVED: To precisely correct distortion aberration caused by an optical system in real time.

SOLUTION: An image correcting device 1 is provided with a DMA controller 6 which reads a conversion coefficient γ stored in a conversion coefficient storage section 4 and pixel data stored in a main memory 5 in synchronism and DMA transfers them, an interpolation coefficient computing section 2 which computes a first interpolation coefficient α and a second interpolation coefficient β based on the transferred conversion coefficient γ and an interpolation pixel computing section 3 that computes interpolated pixel data in which pixel interpolation (a resolution conversion) is executed for every pixel for inputted pixel data employing the coefficients α and β . The controller 6 transfers image data to the section 3 for every horizontal line and then, transfers the image data made up with the interpolation pixel data computed by the section 3 to the section 3 for every vertical line. Thus, the distortion in the horizontal and the vertical directions is corrected.



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-268624

(P2002-268624A)

(43) 公開日 平成14年9月20日 (2002.9.20)

(51) Int.Cl.⁷

識別記号

FI

テマコード^{*}(参考)

G 0 9 G 5/00

5 5 0

G 0 9 G 5/00

5 5 0 H 5 B 0 5 7

X 5 C 0 2 2

G 0 6 T 3/00

2 0 0

G 0 6 T 3/00

2 0 0 5 C 0 6 5

H 0 4 N 1/40

H 0 4 N 5/228

Z 5 C 0 6 6

5/228

9/07

C 5 C 0 7 7

審査請求 未請求 請求項の数24 OL (全 17 頁) 最終頁に続く

(21) 出願番号

特願2001-68714(P2001-68714)

(22) 出願日

平成13年3月12日 (2001.3.12)

(71) 出願人 591128453

株式会社メガチップス

大阪市淀川区宮原4丁目1番6号

(72) 発明者 佐々木 元

大阪市淀川区宮原4丁目1番6号 株式会

社メガチップス内

(74) 代理人 100089233

弁理士 吉田 茂明 (外2名)

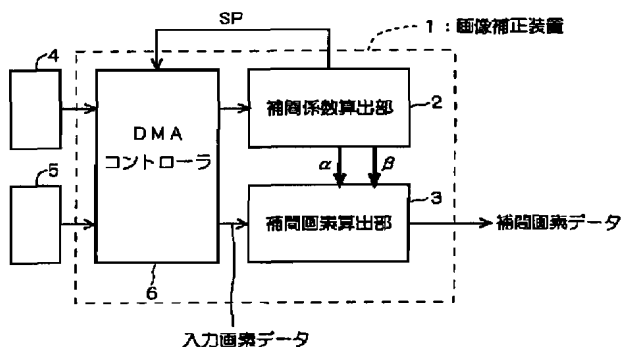
最終頁に続く

(54) 【発明の名称】 画像補正装置および画像補正方法

(57) 【要約】

【課題】 光学系に起因する歪曲収差をリアルタイムに且つ高精度に補正する。

【解決手段】 画像補正装置1は、変換係数記憶部4に格納した変換係数 γ と主メモリ5に格納した画素データとを同期して読み出しDMA転送するDMAコントローラ6と、転送されたその変換係数 γ に基づいて第1補間係数 α と第2補間係数 β とを算出する補間係数算出部2と、これら補間係数 α 、 β を用いて入力画素データに対して各画素毎に画素補間(解像度変換)を施した補間画素データを算出する補間画素算出部3とを備えている。DMAコントローラ6は画像データを水平ライン毎に補間画素算出部3へ転送した後、補間画素算出部3が算出する補間画素データからなる画像データを補間画素算出部3へ垂直ライン毎に転送する。これにより水平方向と垂直方向の歪みを補正できる。



【特許請求の範囲】

【請求項 1】 画像データに含まれる歪みを補正する画像補正装置であって、

前記画像データを画素データ単位で転送すると共に、前記画像データの転送に同期して前記各画素データに対応する変換係数を転送するデータ転送制御部と、前記データ転送制御部により転送された当該変換係数に基づいて第 1 補間係数と第 2 補間係数とを算出する補間係数算出部と、

前記データ転送制御部により転送された第 1 の画素データに前記第 1 補間係数を重み付けした値と、前記第 1 の画素データの転送前に保持された第 2 の画素データに前記第 2 補間係数を重み付けした値とから補間画素データを算出する補間画素算出部と、を備えることを特徴とする画像補正装置。

【請求項 2】 請求項 1 記載の画像補正装置であって、前記変換係数は、前記歪みの無い画素間隔を規定する単位長を前記歪みにより生じた画素間隔の変化率で除算した値であり、前記補間係数算出部は、転送された前記変換係数と前記第 1 補間係数とを加算する加算回路と、

該加算回路から出力された加算値が前記単位長未満のときは該加算値を前記第 1 補間係数として出力すると共に前記単位長から前記第 1 補間係数を減じた値を前記第 2 補間係数として出力し、前記加算値が前記単位長以上のときには該加算値から前記単位長を減じた値を前記第 1 補間係数として出力すると共に前記単位長から前記第 1 補間係数を減じた値を前記第 2 補間係数として出力する選択回路と、

前記加算値と前記単位長とを比較し、前記加算値が前記単位長未満の間は前記データ転送制御部に対して同一の前記第 1 の画素データを転送させ、前記加算値が前記単位長以上の時には新たな画素データを転送させる制御信号を生成する比較回路と、を有する、画像補正装置。

【請求項 3】 請求項 2 記載の画像補正装置であって、前記補間画素算出部は、前記比較回路から伝達された前記制御信号により前記加算値が前記単位長以上のときに前記第 1 の画素データを読み込んで第 2 の画素データとして保持する保持回路を備える、画像補正装置。

【請求項 4】 請求項 1～3 の何れか 1 項に記載の画像補正装置であって、前記画像データに含まれる歪みは光学系に起因する歪曲収差である、画像補正装置。

【請求項 5】 請求項 1～4 の何れか 1 項に記載の画像補正装置であって、前記データ転送制御部は、水平ラインおよび垂直ラインの一方のライン毎に前記画素データを補間係数算出部に転送した後に、前記補間画素算出部により算出された前記補間画素データを他方のライン毎に前記補間係数算出部に転送する、画像補正装置。

【請求項 6】 請求項 1～5 の何れか 1 項に記載の画像

補正装置であって、前記変換係数は垂直ライン用と水平ライン用とで個別に用意されている、画像補正装置。

【請求項 7】 請求項 1～6 の何れか 1 項に記載の画像補正装置であって、前記画像データは複数の画素領域に分割されており、前記画素領域の各々に同一値の変換係数が割り当てられる、画像補正装置。

【請求項 8】 請求項 1～6 の何れか 1 項に記載の画像補正装置であって、前記画像データを複数の境界線で区画し、該境界線上の画素データに対応する前記変換係数を用いて該境界線間の画素データを補間する変換係数補間部を備える、画像補正装置。

【請求項 9】 請求項 1～8 の何れか 1 項に記載の画像補正装置であって、前記データ転送制御部は、前記画像データを水平方向または垂直方向の略画像中心を通る中心線で 2 分し、該中心線の両側の画像領域の各々について個別にデータ転送を実行する、画像補正装置。

【請求項 10】 請求項 9 記載の画像補正装置であって、前記中心線で 2 分された前記画像領域の各々に対応付ける前記変換係数の値は前記中心線を対称軸として同一値に設定される、画像補正装置。

【請求項 11】 請求項 9 または 10 記載の画像補正装置であって、前記補間画素算出部が算出した各前記画像領域の補間画素データを格納するバッファ領域の両端に余領域を設けてなる、画像補正装置。

【請求項 12】 請求項 1～11 の何れか 1 項に記載の画像補正装置であって、前記データ転送制御部により転送される前記変換係数と、前記画像データのサイズを変更するサイズ変更係数との何れかを選択して前記補間係数算出部に出力する第 2 の選択回路を備え、

前記補間係数算出部は、前記第 2 の選択回路から伝達した前記変換係数または前記サイズ変更係数に基づいて前記第 1 補間係数と前記第 2 補間係数とを算出する、画像補正装置。

【請求項 13】 画像データに含まれる歪みを補正する画像補正方法であって、(a) 前記画像データを画素データ単位で転送すると共に、前記画像データの転送に同期して前記各画素データに対応する変換係数を転送する工程と、(b) 前記工程 (a) で転送された当該変換係数に基づいて第 1 補間係数と第 2 補間係数とを算出する工程と、(c) 前記工程 (a) で転送された第 1 の画素データに前記第 1 補間係数を重み付けした値と、前記第 1 の画素データの転送前に保持された第 2 の画素データに前記第 2 補間係数を重み付けした値とから補間画素データを算出する工程と、を備えることを特徴とする画像補正方法。

【請求項 14】 請求項 13 記載の画像補正方法であって、前記変換係数は、前記歪みの無い画素間隔を規定する単位長を前記歪みにより生じた画素間隔の変化率で除算した値であり、

前記工程 (b) は、転送された前記変換係数と前記第 1

10

20

30

40

50

補間係数とを加算して加算値を出力する工程と、前記加算値が前記単位長未満のときは該加算値を前記第 1 補間係数として出力すると共に前記単位長から前記第 1 補間係数を減じた値を前記第 2 補間係数として出力し、前記加算値が前記単位長以上のときには該加算値から前記単位長を減じた値を前記第 1 補間係数として出力すると共に前記単位長から前記第 1 補間係数を減じた値を前記第 2 補間係数として出力する工程と、を有し、
前記工程 (a) は、前記加算値が前記単位長未満の間は同一の前記第 1 の画素データを転送し、前記加算値が前記単位長以上の時には新たな画素データを転送する工程を有する、画像補正方法。

【請求項 15】 請求項 14 記載の画像補正方法であって、前記工程 (a) は、前記加算値が前記単位長以上の時に前記第 1 の画素データを読み込んで第 2 の画素データとして保持する工程を有する、画像補正方法。

【請求項 16】 請求項 13～15 の何れか 1 項に記載の画像補正方法であって、前記画像データに含まれる歪みは光学系に起因する歪曲収差である、画像補正方法。

【請求項 17】 請求項 13～16 の何れか 1 項に記載の画像補正方法であって、前記工程 (a) は、水平ラインおよび垂直ラインの一方のライン毎に前記画素データを転送した後に、前記工程 (c) で算出された前記補間画素データを他方のライン毎に転送する工程を有する、画像補正方法。

【請求項 18】 請求項 13～17 の何れか 1 項に記載の画像補正方法であって、前記変換係数は垂直ライン用と水平ライン用とで個別に用意される、画像補正方法。

【請求項 19】 請求項 13～18 の何れか 1 項に記載の画像補正方法であって、前記工程 (a) は、前記画像データを複数の画素領域に分割し、前記画素領域の各々に同一値の変換係数を割り当てる工程を有する、画像補正方法

【請求項 20】 請求項 13～18 の何れか 1 項に記載の画像補正方法であって、前記工程 (a) は、前記画像データを複数の境界線で区画し、該境界線上の画素データに対応する前記変換係数を用いて該境界線間の画素データを補間する工程を有する、画像補正方法。

【請求項 21】 請求項 13～20 の何れか 1 項に記載の画像補正方法であって、前記工程 (a) は、前記画像データを水平方向または垂直方向の略画像中心を通る中心線で 2 分し、該中心線の両側の画像領域の各々について個別に画素データを転送する工程を有する、画像補正方法。

【請求項 22】 請求項 21 記載の画像補正方法であって、前記中心線で 2 分された前記画像領域の各々に対応付ける前記変換係数の値を前記中心線を対称軸として同一値に設定する、画像補正方法。

【請求項 23】 請求項 21 または 22 記載の画像補正方法であって、前記工程 (c) で算出された補間画素デ

ータを両端に余領域を設けたバッファ領域に転送する、画像補正方法。

【請求項 24】 請求項 13～23 の何れか 1 項に記載の画像補正方法であって、前記工程 (a) は、転送される前記変換係数と前記画像データのサイズを変更するサイズ変更係数との何れかを選択する工程を有し、前記工程 (b) において、前記工程 (a) で選択された前記変換係数または前記サイズ変更係数に基づいて前記第 1 補間係数と前記第 2 補間係数とが算出される、画像補正方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、光学系に起因する歪曲収差などの歪みを補正する画像補正装置およびその補正方法に関する。

【0002】

【従来の技術】デジタル・スチル・カメラやデジタル・ビデオ・カメラなどのデジタル撮影装置では、各種レンズからなる光学系で結像した光は CCD や CMOS などの固体撮像素子からなる画像センサで検出されデジタル信号に変換された後に、色空間変換や画素補間、輪郭強調などのデジタル画像処理を施される。その画像センサで撮像した画像データには光学系に起因する様々な収差（球面収差、コマ収差、非点収差、像面湾曲、歪曲収差など）が含まれるが、歪曲収差（ディストーション）と称する幾何学的歪みは、光学系の焦点距離や絞り値などにより決まり、画像の中央部と周辺部とで結像倍率が異なるために起こる歪みである。画像の中央部に対して周辺部の結像倍率が小さい場合、図 19 (a) に示す正方状の図形 S1 は、同図 (b) に示すように画像の端に行くに従って凹形（糸巻き形）に歪む糸巻き形図形 S2 になる。また、画像の中央部に対して周辺部の結像倍率が大きい場合は、図 19 (a) に示す正方状の図形 S1 は、同図 (c) に示すように画像の端に行くに従って凸形（樽形）に歪む樽形図形 S3 になる。画像がこれら樽形歪曲と糸巻き形歪曲の双方を含む場合は、図 20

(a) に示す画像 I100 は、図 20 (b) に示すような歪曲画像 I101 になる。この歪曲画像 I101 には、画像中心 100 に対して左右の水平方向に樽形歪曲が生じ、その上下の垂直方向に対して糸巻き形歪曲が生じている。

【0003】以上の歪曲収差は、撮像した画像データにデジタル画像処理を施すことである程度補正できる。従来の補正方法ではアフィン変換が用いられており、この補正処理は、歪曲収差を含む画像データを複数の多角形状の領域に分割し、その多角形状の各頂点座標を基にして各領域をアフィン変換で変形するものである。

【0004】

【発明が解決しようとする課題】しかしながら、上記のアフィン変換などを用いた補正処理は、アルゴリズムの

複雑さなどのためリアルタイム処理に適しておらず、主に CPU によるソフトウェア処理で実行されていた。このため、撮像センサの画素数の増大に伴い処理量が増大し、処理時間が長大になり、更には消費電力が増大するという問題があった。従って、従来のデジタル・スチル・カメラでは、連続撮影の時間的制約のためシャッター・チャンス逃し易く、電力消費量が大きいと連続使用時間も短くなり易かった。

【0005】以上の問題などに鑑みて本発明が解決しようとするところは、光学系に起因する歪曲収差などの歪みをリアルタイムに且つ高精度に補正できる画像補正装置およびその補正方法を提供する点にある。

【0006】

【課題を解決するための手段】上記課題を解決するため、請求項 1 に係る発明は、画像データに含まれる歪みを補正する画像補正装置であって、前記画像データを画素データ単位で転送すると共に、前記画像データの転送に同期して前記各画素データに対応する変換係数を転送するデータ転送制御部と、前記データ転送制御部により転送された当該変換係数に基づいて第 1 補間係数と第 2 補間係数とを算出する補間係数算出部と、前記データ転送制御部により転送された第 1 の画素データに前記第 1 補間係数を重み付けした値と、前記第 1 の画素データの転送前に保持された第 2 の画素データに前記第 2 補間係数を重み付けした値とから補間画素データを算出する補間画素算出部と、を備えることを特徴とするものである。

【0007】また請求項 2 に係る発明は、請求項 1 記載の画像補正装置であって、前記変換係数は、前記歪みの無い画素間隔を規定する単位長を前記歪みにより生じた画素間隔の変化率で除算した値であり、前記補間係数算出部は、転送された前記変換係数と前記第 1 補間係数とを加算する加算回路と、該加算回路から出力された加算値が前記単位長未満のときは該加算値を前記第 1 補間係数として出力すると共に前記単位長から前記第 1 補間係数を減じた値を前記第 2 補間係数として出力し、前記加算値が前記単位長以上のときには該加算値から前記単位長を減じた値を前記第 1 補間係数として出力すると共に前記単位長から前記第 1 補間係数を減じた値を前記第 2 補間係数として出力する選択回路と、前記加算値と前記単位長とを比較し、前記加算値が前記単位長未満の間は前記データ転送制御部に対して同一の前記第 1 の画素データを転送させ、前記加算値が前記単位長以上の時には新たな画素データを転送させる制御信号を生成する比較回路と、を有するものである。

【0008】また請求項 3 に係る発明は、請求項 2 記載の画像補正装置であって、前記補間画素算出部は、前記比較回路から伝達された前記制御信号により前記加算値が前記単位長以上のときに前記第 1 の画素データを読み込んで第 2 の画素データとして保持する保持回路を備え

る。

【0009】また請求項 4 に係る発明は、請求項 1～3 の何れか 1 項に記載の画像補正装置であって、前記画像データに含まれる歪みは光学系に起因する歪曲収差である。

【0010】また請求項 5 に係る発明は、請求項 1～4 の何れか 1 項に記載の画像補正装置であって、前記データ転送制御部は、水平ラインおよび垂直ラインの一方のライン毎に前記画素データを補間係数算出部に転送した後、前記補間画素算出部により算出された前記補間画素データを他方のライン毎に前記補間係数算出部に転送するものである。

【0011】また請求項 6 に係る発明は、請求項 1～5 の何れか 1 項に記載の画像補正装置であって、前記変換係数は垂直ライン用と水平ライン用とで個別に用意されているものである。

【0012】また請求項 7 に係る発明は、請求項 1～6 の何れか 1 項に記載の画像補正装置であって、前記画像データは複数の画素領域に分割されており、前記画素領域の各々に同一値の変換係数が割り当てられるものである。

【0013】また請求項 8 に係る発明は、請求項 1～6 の何れか 1 項に記載の画像補正装置であって、前記画像データを複数の境界線で区画し、該境界線上の画素データに対応する前記変換係数を用いて該境界線間の画素データを補間する変換係数補間部を備えるものである。

【0014】また請求項 9 に係る発明は、請求項 1～8 の何れか 1 項に記載の画像補正装置であって、前記データ転送制御部は、前記画像データを水平方向または垂直方向の略画像中心を通る中心線で 2 分し、該中心線の両側の画像領域の各々について個別にデータ転送を実行するものである。

【0015】また請求項 10 に係る発明は、請求項 9 記載の画像補正装置であって、前記中心線で 2 分された前記画像領域の各々に対応付ける前記変換係数の値は前記中心線を対称軸として同一値に設定されるものである。

【0016】また請求項 11 に係る発明は、請求項 9 または 10 記載の画像補正装置であって、前記補間画素算出部が算出した各前記画像領域の補間画素データを格納するバッファ領域の両端に余領域を設けてなるものである。

【0017】また請求項 12 に係る発明は、請求項 1～11 の何れか 1 項に記載の画像補正装置であって、前記データ転送制御部により転送される前記変換係数と、前記画像データのサイズを変更するサイズ変更係数との何れかを選択して前記補間係数算出部に出力する第 2 の選択回路を備え、前記補間係数算出部は、前記第 2 の選択回路から伝達した前記変換係数または前記サイズ変更係数に基づいて前記第 1 補間係数と前記第 2 補間係数とを算出するものである。

【0018】次に、請求項13に係る発明は、画像データに含まれる歪みを補正する画像補正方法であって、

(a) 前記画像データを画素データ単位で転送すると共に、前記画像データの転送に同期して前記各画素データに対応する変換係数を転送する工程と、(b) 前記工程(a)で転送された当該変換係数に基づいて第1補間係数と第2補間係数とを算出する工程と、(c) 前記工程(a)で転送された第1の画素データに前記第1補間係数を重み付けした値と、前記第1の画素データの転送前に保持された第2の画素データに前記第2補間係数を重み付けした値とから補間画素データを算出する工程と、を備えることを特徴とするものである。

【0019】また請求項14に係る発明は、請求項13記載の画像補正方法であって、前記変換係数は、前記歪みの無い画素間隔を規定する単位長を前記歪みにより生じた画素間隔の変化率で除算した値であり、前記工程

(b)は、転送された前記変換係数と前記第1補間係数とを加算して加算値を出力する工程と、前記加算値が前記単位長未満のときは該加算値を前記第1補間係数として出力すると共に前記単位長から前記第1補間係数を減じた値を前記第2補間係数として出力し、前記加算値が前記単位長以上のときには該加算値から前記単位長を減じた値を前記第1補間係数として出力すると共に前記単位長から前記第1補間係数を減じた値を前記第2補間係数として出力する工程と、を有し、前記工程(a)は、前記加算値が前記単位長未満の間は同一の前記第1の画素データを転送し、前記加算値が前記単位長以上の時には新たな画素データを転送する工程を有するものである。

【0020】また請求項15に係る発明は、請求項14記載の画像補正方法であって、前記工程(a)は、前記加算値が前記単位長以上の時に前記第1の画素データを読み込んで第2の画素データとして保持する工程を有するものである。

【0021】また請求項16に係る発明は、請求項13～15の何れか1項に記載の画像補正方法であって、前記画像データに含まれる歪みは光学系に起因する歪曲収差である。

【0022】また請求項17に係る発明は、請求項13～16の何れか1項に記載の画像補正方法であって、前記工程(a)は、水平ラインおよび垂直ラインの一方のライン毎に前記画素データを転送した後に、前記工程(c)で算出された前記補間画素データを他方のライン毎に転送する工程を有するものである。

【0023】また請求項18に係る発明は、請求項13～17の何れか1項に記載の画像補正方法であって、前記変換係数は垂直ライン用と水平ライン用とで個別に用意されるものである。

【0024】また請求項19に係る発明は、請求項13～18の何れか1項に記載の画像補正方法であって、前

記工程(a)は、前記画像データを複数の画素領域に分割し、前記画素領域の各々に同一値の変換係数を割り当てる工程を有する。

【0025】また請求項20に係る発明は、請求項13～18の何れか1項に記載の画像補正方法であって、前記工程(a)は、前記画像データを複数の境界線で区画し、該境界線上の画素データに対応する前記変換係数を用いて該境界線間の画素データを補間する工程を有するものである。

【0026】また請求項21に係る発明は、請求項13～20の何れか1項に記載の画像補正方法であって、前記工程(a)は、前記画像データを水平方向または垂直方向の略画像中心を通る中心線で2分し、該中心線の両側の画像領域の各々について個別に画素データを転送する工程を有するものである。

【0027】また請求項22に係る発明は、請求項21記載の画像補正方法であって、前記中心線で2分された前記画像領域の各々に対応付ける前記変換係数の値を前記中心線を対称軸として同一値に設定するものである。

【0028】また請求項23に係る発明は、請求項21または22記載の画像補正方法であって、前記工程(c)で算出された補間画素データを両端に余領域を設けたバッファ領域に転送するものである。

【0029】そして請求項24に係る発明は、請求項13～23の何れか1項に記載の画像補正方法であって、前記工程(a)は、転送される前記変換係数と前記画像データのサイズを変更するサイズ変更係数との何れかを選択する工程を有し、前記工程(b)において、前記工程(a)で選択された前記変換係数または前記サイズ変更係数に基づいて前記第1補間係数と前記第2補間係数とが算出されるものである。

【0030】

【発明の実施の形態】以下、本発明の種々の実施の形態について説明する。

【0031】実施の形態1. 図1は、本発明の実施の形態1に係る画像補正装置1の概略構成を示すブロック図、図2は、この画像補正装置1を構成する補間係数算出部2の回路図、図3は、この画像補正装置1を構成する補間画素算出部3の回路図である。

【0032】図1に示すように、画像補正装置1は、変換係数記憶部4(または主メモリ5)に格納した変換係数 γ と主メモリ5に格納した画素データとを同期して読み出しDMA(ダイレクト・メモリ・アクセス)転送するDMAコントローラ(データ転送制御部)6と、転送されたその変換係数 γ に基づいて後述する第1補間係数 α ($0 \leq \alpha \leq$ 単位長)および第2補間係数 β ($=$ 単位長 $-\alpha$)を算出する補間係数算出部2と、これら補間係数 α 、 β を用いて、入力画素データに対して各画素毎に画素補間(解像度変換)を施して得られる補間画素データを算出する補間画素算出部3とを備えて構成される。本

実施の形態では、単位長 P_{BASE} は歪みが無い場合の画素間隔を規定する値であり、その値は16進法表記で0x80、10進法表記で128に設定される。ここで「0x」は16進法表記を表す接頭記号である。

【0033】前記主メモリ5から前記補間画素算出部3に転送され入力する画素データは画像信号であり、「R（赤色成分）」、「G（緑色成分）」、「B（青色成分）」の3原色成分（RGB成分）、あるいはNTSC（National Television System Committee）方式で採用されるYCbCr成分に変換されたものなどである。尚、

本実施の形態ではYCbCr成分を用いるが、この代わりに、NTSC方式で採用されるYUV成分やYIQ成分などの他の色空間成分を用いても構わない。

【0034】また、変換係数記憶部4には、補間画素算出部3に入力する各画素データに対応する変換係数の群 $\Gamma = \{\gamma(0, 0), \gamma(0, 1), \gamma(0, 2), \dots, \gamma(i, j), \dots\}$ が記憶されている。この変換係数群 Γ は、撮像センサに結像させる光学系に起因する上記樽形歪曲や上記糸巻き形歪曲などの歪曲収差を補正するものであり、光学系の検査段階でテストチャートや画像上の直線情報などに基づいて算出される。各画素データに対応する変換係数 γ は、次式で定義される。

$$\text{【0035】 } \gamma = P_{BASE} / R \quad (1)$$

上式（1）中、Rは、歪曲収差がある場合の当該画素の結像倍率（IM1）と歪曲収差が無い場合の当該画素の結像倍率（IM0）との比率であり、厳密には次式

（2）で算出される。

$$\text{【0036】 } R = IM0 / IM1 \quad (2)$$

従って、変換係数 γ の値は、例えば、結像倍率の比率Rの値が1.0、1.5、2.0の時、それぞれ128、85、64となる。尚、実際には比率Rの値は、上式（2）に従って厳密に求められる必要は無く、前述の光学系の検査段階で近似的に算出されるものでよい。

【0037】以下、図2に示す補間係数算出部2の回路構成を詳説する。図2中、第1～第3セクタ11、17、19の入力端子のうち、「0」を付した端子は当該セクタに「L（Low）」レベルの選択制御信号が入力した時に選択される端子、「1」を付した端子は当該セクタに「H（High）」レベルの選択制御信号が入力した時に選択される端子である。

【0038】上記変換係数 γ （8ビット値）は、DMAコントローラ6の制御により変換係数記憶部4から読み出され補間係数算出部2に転送される。加算回路10は、入力する変換係数 γ と第2セクタ17から伝達した8ビット値との加算値を第1セクタ11の「0」側端子と比較回路12とに出力する。第1セクタ11は、選択制御信号であるリセット信号HRSTのレベルが「L」の場合は「0」側端子を選択して前記加算値をフリップ・フロップ13に出力し、リセット信号HRSTのレベルが「H」の場合は「1」側端子を選択して単

位長 P_{BASE} をフリップ・フロップ13に出力する。

【0039】前記比較回路12は、加算回路10から伝達した加算値と単位長 P_{BASE} とを比較し、前記加算値が単位長 P_{BASE} 以上の時は「L」レベルであり、前記加算値が単位長 P_{BASE} を超えた時に「H」レベルに変化する比較信号SPを、インバータ25やDMAコントローラ6などに出力する。比較信号SPのレベルが「H」ならば、DMAコントローラ6は新たな画素データを読み出さず、同じ画素データが補間画素算出部3に入力せられる。また比較信号SPのレベルが「L」ならば、DMAコントローラ6は次の画素データを読み出してDMA転送させる。またインバータ25は、入力する比較信号SPを反転した反転信号ISPを出力する。従って、図3に示す補間画素算出部3の論理積素子32は、比較信号SPのレベルが「H」ならば「L」レベル信号をEN端子に出力し、この信号により保持していた値を出力する。他方、論理積素子32は、比較信号SPのレベルが「L」のときに「H」レベル信号をフリップ・フロップ31のEN端子に出力し、この信号により、フリップ・フロップ31はD端子に入力する画素データを保持する。

【0040】前記フリップ・フロップ13は、動作タイミングを規定するクロック信号CLKに同期し且つ論理積素子14を介してEN端子に入力するイネーブル信号PENに従って動作し、第1セクタ11からD端子に入力する値を保持して第2セクタ17、比較回路15および減算回路20に出力する。リセット信号HRSTはLD端子に入力し、その信号レベルが「H」になった時点でフリップ・フロップ13が保持する値をリセットする。

【0041】前記比較回路15は、前記クロック信号CLKに同期し且つ論理積素子16を介してEN端子に入力するイネーブル信号PENに従って動作し、フリップ・フロップ13から伝達した値と単位長 P_{BASE} とを比較し、当該値が単位長 P_{BASE} を超えると「H」レベル信号を論理和素子21、22に出力する。また比較回路18は、フリップ・フロップ13から伝達した値が単位長 P_{BASE} に一致した時に「H」レベル信号を論理和素子21、22に出力し、双方が不一致の時は「L」レベル信号を出力する。

【0042】尚、CPU（図示せず）などから「H」レベルの停止信号DAがインバータ24に入力すると、このインバータ24はその停止信号DAを反転した「L」レベルの反転信号IDAを、論理積素子14、16および補間画素算出部3の論理積素子32に出力するから、フリップ・フロップ13、比較回路15および補間画素算出部3のフリップ・フロップ31は、動作を停止する。

【0043】また前記減算回路20は、フリップ・フロップ13から伝達した値から単位長 P_{BASE} を減じた減算

値を、第2セクタ17の「1」側端子および第3セクタ19の「1」側端子に出力する。第2セクタ17は、論理和素子22から出力される選択制御信号のレベルが「L」の時は「0」側端子を選択してフリップ・フロップ13から伝達した値を加算回路10に出力し、他方、前記選択制御信号のレベルが「H」の時は「1」側端子を選択して加算回路10から伝達した減算値を加算回路10に出力する。また第3セクタ19は、論理和素子21から出力される選択制御信号のレベルが「L」の時は「0」側端子を選択してフリップ・フロップ13から伝達した値を第1補間係数 α として補間画素算出部3に出力し、他方、前記選択制御信号のレベルが「H」の時は「1」側端子を選択して減算回路20から伝達した減算値を第1補間係数 α として補間画素算出部3に出力する。第3セクタ19から出力された第1補間係数 α の値は分岐して減算回路23にも伝達する。減算回路23は単位長 P_{BASE} からその第1補間係数 α を減じた減算値を第2補間係数 $\beta (=P_{BASE} - \alpha)$ として補間画素算出部3に出力する。

【0044】次に、図3に示す補間画素算出部3の回路構成を詳説する。補間画素算出部3の論理積素子30の一方の端子には24ビットの上記画像信号の画素データが画素単位で入力する。この画像信号は、8ビットの輝度信号(Y成分)、8ビットの第1色差信号(Cb成分)および8ビットの第2色差信号(Cr成分)から構成されている。また論理積素子30の他方の端子には、上記補間係数算出部2のインバータ24から伝達する反転信号IDAが入力しており、反転信号IDAのレベルが「H」の期間に限り、論理積素子30は入力する画素データを出力する。

【0045】論理積素子30を介して入力した画素データは2本の画素データに分岐し、分岐した一方の画素データはフリップ・フロップ31のD端子に入力し、また分岐した他方の画素データのY成分はYチャンネル33へ、そのCb成分はCbチャンネル37へ、そのCr成分はCrチャンネル41へそれぞれ入力する。また論理積素子32は、上記反転信号ISP、イネーブル信号PENおよび反転信号IDAとを論理積演算した信号をフリップ・フロップ31のEN端子に出力する。フリップ・フロップ31は、上記クロック信号CLKに同期し且つ論理積素子32から入力するイネーブル信号に従って動作し、論理積素子30から伝達した画素データの値を保持して出力する。このフリップ・フロップ31が保持する値は、論理積素子30に入力する画素データ値よりも一画素前のものになるように制御される。そのフリップ・フロップ31が保持する画素データのY成分はYチャンネル33へ、Cb成分はCbチャンネル37へ、Cr成分はCrチャンネル41へそれぞれ出力される。

【0046】Yチャンネル33では、乗算回路34は論理積素子30から直接入力したY成分に第1補間係数 α

を乗算した(重み付けした)値を加算回路36に出力し、乗算回路35はフリップ・フロップ31から入力したY成分に第2補間係数 β を乗算した(重み付けした)値を加算回路36に出力する。加算回路36は、双方の乗算回路34、35から入力した値を加算して出力する。またCbチャンネル37でも同様に、乗算回路39は論理積素子30から直接入力したCb成分に第1補間係数 α を乗算した値を出力し、乗算回路38はフリップ・フロップ31から入力したCb成分に第2補間係数 β を乗算した値を出力し、加算回路40は乗算回路38、39の双方から入力した値を加算して出力する。更にCrチャンネル41でも同様に、乗算回路43は論理積素子30から直接入力したCr成分に第1補間係数 α を乗算した値を出力し、乗算回路42はフリップ・フロップ31から入力したCr成分に第2補間係数 β を乗算した値を出力し、加算回路44は乗算回路42、43の双方から入力した値を加算して出力する。このようにして、論理積素子30から出力される画素値をP1、フリップ・フロップ31から出力される画素値をP2で表すとすると、補間画素算出部3から出力される補間画素値PIは、 $PI = \alpha \cdot P1 + \beta \cdot P2$ に従って算出される。

【0047】以上の構成を有する画像補正装置1の動作例を以下に説明する。図4は、画像データ50の模式図である。この画像データ50は、複数の画素データA(0, 0), A(0, 1), ..., A(k, n) (k, nは正の整数)から構成される。また、図5に示すように、補間係数算出部2に入力する変換係数群 Γ は、図4に示した画像データ50の各画素に対応する変換係数 $\gamma(0, 0), \gamma(0, 1), \dots, \gamma(k, n)$ から構成される。後述するように、この種の変換係数群 Γ は垂直ライン用と水平ライン用とで個別に用意されている。

【0048】最初の例として、上記した結像倍率の比率Rが1.0の場合、すなわち、画像データ50が歪曲収差を含まない場合で、変換係数群 Γ の全要素 $\gamma(0, 0), \gamma(0, 1), \dots, \gamma(k, n)$ の値が上式(1)に基づいて128となる場合の動作例を説明する。まず、第0番目の水平ラインの先頭の画素データA(0, 0)が上記補間画素算出部3にDMA転送され、論理積素子30を介してYチャンネル33、Cbチャンネル37およびCrチャンネル41に入力する。この時、フリップ・フロップ31のEN端子には論理積素子32から「L」レベル信号が入力しており、フリップ・フロップ31は零値からなる画素データA(0, -1)をYチャンネル33、Cbチャンネル37およびCrチャンネル41に出力している。尚、以後、画素データA(j, -1) ($0 \leq j \leq n$)は零値からなるものとする。

【0049】他方、補間係数算出部2の第1セクタ11とフリップ・フロップ13のLD端子には、アドレス・コントローラ(図示せず)から、「H」レベルのリセ

ット信号H R S Tが入力する。この時、第1セクタ11は「1」側端子を選択して単位長 P_{BASE} ($=0 \times 80$)をフリップ・フロップ13に出力する。またこの時、論理積素子14は、インバータ24から入力する「H」レベルの反転信号I D Aと「H」レベルのイネーブル信号P E Nとを論理積演算した「H」レベル信号をフリップ・フロップ13のE N端子に出力し、フリップ・フロップ13は第1セクタ11から伝達した単位長 P_{BASE} を保持しつつ出力する。

【0050】次に、比較回路15、18は、フリップ・フロップ13から伝達した値 (0×80)と単位長 P_{BASE} とを比較し、比較回路15は「L」レベル信号を論理和素子21、22に出力し、比較回路18は「H」レベル信号を論理和素子21、22に出力するから、論理和素子21、22は共に「H」レベルの選択制御信号を出力する。従って、第3セクタ19は「1」側端子を選択して減算回路20から伝達した零値を第1補間係数 α として出力し、減算回路23は128の値を第2補間係数 β として出力する。

【0051】また第2セクタ17は「1」側端子を選択して減算回路20から入力した零値を加算回路10に出力する。加算回路10は、次に入力する変換係数 γ ($0, 1$) ($=128$)と第2セクタ17から伝達した零値とを加算した加算値 (128)を比較回路12に出力する。次に比較回路12は、前記加算値 (128)と単位長 P_{BASE} とを比較して「L」レベルの比較信号S PをDMAコントローラとインバータ25とに出力する。DMAコントローラは、その「L」レベルの比較信号S Pを受けて、次に補間画素算出部3に入力させる画素データA ($0, 1$)を変換係数記憶部4から読出してDMA転送する。

【0052】従って、図6に示すように、補間画素算出部3は、画素データA ($0, 0$)に第1補間係数 α ($=0$)を重み付けし、画素データA ($0, -1$)に第2補間係数 β ($=128$)を重み付けして両者を加算した補間画素データI ($0, -1$) ($=0$)を生成出力する。

【0053】続けて、補間画素算出部3にはDMA転送された画素データA ($0, 1$)が入力するが、このとき、補間画素算出部3のフリップ・フロップ31は、画素データA ($0, 0$)を保持して出力している。また補間係数算出部2の第1セクタ11は、「L」レベルのリセット信号H R S Tを受けて「0」側端子を選択し、加算回路10から伝達する128の値をフリップ・フロップ13に出力する。フリップ・フロップ13はその値を保持しつつ出力する。この後の動作は上述と同様となり、第3セクタ19は、零値をもつ第1補間係数 α を出力し、減算回路23は、128の値をもつ第2補間係数 β を出力する。従って、図6に示すように、補間画素算出部3は、画素データA ($0, 1$)に第1補間係数 α ($=0$)を重み付けし、画素データA ($0, 0$)に第2

補間係数 β ($=128$)を重み付けして両者を加算した補間画素データI ($0, 0$)を生成出力する。

【0054】以後、同様の手順で、水平ラインの先頭の画素データA ($1, 0$)が入力する迄、入力画素データA ($0, 1$)、A ($0, 2$)、…に単位長 P_{BASE} を乗算した補間画素データI ($0, 1$)、I ($0, 2$)、…が順次、生成され出力される。

【0055】次に、上記した結像倍率の比率Rが2.0の場合、すなわち変換係数群 Γ の全要素 γ ($0, 0$)、 γ ($0, 1$)、…、 γ (k, n)の値が上式(1)に基づいて64となる場合の動作例を説明する。先ず、第0番目の水平ラインの画素データA ($0, 0$)が上記補間画素算出部3にDMA転送され、論理積素子30を介してYチャンネル33、Cbチャンネル37およびCrチャンネル41に入力する。この時、フリップ・フロップ31のE N端子には論理積素子32から「L」レベル信号が入力しており、フリップ・フロップ31は零値からなる画素データA ($0, -1$)を出力している。

【0056】他方、補間係数算出部2の第1セクタ11とフリップ・フロップ13のL D端子には「H」レベルのリセット信号H R S Tが入力する。この時、第1セクタ11は「1」側端子を選択して単位長 P_{BASE} をフリップ・フロップ13に出力する。またこの時、論理積素子14は、インバータ24から入力する「H」レベルの反転信号I D Aと「H」レベルのイネーブル信号P E Nとを論理積演算した「H」レベル信号をフリップ・フロップ13のE N端子に出力し、フリップ・フロップ13は第1セクタ11から伝達した単位長 P_{BASE} を保持しつつ出力する。

【0057】よって、比較回路15は「L」レベルの比較信号を論理和素子21、22に出力し、比較回路18は「H」レベルの比較信号を論理和素子21、22に出力するから、論理和素子21、22は「H」レベルの選択制御信号をそれぞれ第3セクタ19と第2セクタ17とに出力する。よって、第3セクタ19は零値をもつ第1補間係数 α を出力し、減算回路23は128の値をもつ第2補間係数 β を出力する。従って、図7に示すように、補間画素算出部3は、画素データA ($0, -1$)に128の値を乗算した補間画素データI ($0, -1$)を生成出力する。

【0058】また、前記補間係数 α 、 β を算出する際、比較回路12は「L」レベルの比較信号S Pを出力するため、次の反転信号I S Pのレベルは「H」に変化する。よって、補間画素算出部3のフリップ・フロップ31のE N端子には「H」レベル信号が入力するから、フリップ・フロップ31は画素データA ($0, 0$)を読み込み保持しつつ出力する。その後、補間画素算出部3には画素データA ($0, 1$)が入力し、論理積素子30を介してYチャンネル33、Cbチャンネル37およびCrチャンネル41に入力する。

【0059】補間係数算出部2では、「L」レベルのリセット信号HRSTを受けた第1セクタ11は「0」側端子を選択して加算回路10から伝達した変換係数 γ (0, 1) (=64) をフリップ・フロップ13に出力し、フリップ・フロップ13は、イネーブル信号PENの制御によりその値を保持しつつ出力する。

【0060】次いで、比較回路15, 18は共に「L」レベル信号を論理和素子21, 22に出力するから、第3セクタ19は「0」側端子を選択し、フリップ・フロップ13から伝達した64の値を第1補間係数 α として出力し、減算回路23は64の値を第2補間係数 β として出力する。従って、図7に示すように、補間画素算出部3は、画素データA (0, 0) に64の値を重み付けし、画素データA (0, 1) に64の値を重み付けして両者を加算した補間画素データI (0, 0) を生成出力する。

【0061】他方、第2セクタ17は「0」側端子を選択してフリップ・フロップ13から伝達した64の値を加算回路10に出力する。加算回路10は、その値と、次に入力する変換係数 γ (0, 2) (=64) との加算値 (128) を比較回路12に出力するから、比較回路12は「L」レベルの比較信号SPを出力する。よって、補間画素算出部3の論理積素子32に inputsする反転信号ISPのレベルは「H」に変化し、フリップ・フロップ31のEN端子には「H」レベル信号が入力するため、フリップ・フロップ31は画素データA (0, 1) を読み込み保持して出力する。また、前記比較信号SPを受けたDMAコントローラは、次の画素データA (0, 2) を読み出してDMA転送する。

【0062】次に、フリップ・フロップ13は第1セクタ11が出力した128の値を保持するから、第3セクタ19は、「1」側端子から入力する零値を第1補間係数 α として出力し、減算回路23は128の値をもつ第2補間係数 β を出力する。従って、図7に示すように、補間画素算出部3は、画素データA (0, 1) に128の値を重み付けし、画素データA (0, 2) に零値を重み付けして両者を加算した補間画素データI (0, 1) を生成出力する。

【0063】他方、第2セクタ17は「1」側端子から入力する零値を加算回路10に出力し、加算回路10はその零値と、転送された変換係数 γ (0, 3) (=64) との加算値 (64) を比較回路12に出力するから、比較回路12は「H」レベルの比較信号SPを出力する。よって、その比較信号SPを受けたDMAコントローラは、保持していた画素データA (0, 2) を再度入力させる。このような動作を続けることにより、補間画素算出部3は、補間画素データI (0, 0), I (0, 1), ... を出力することとなる。

【0064】次に、上記結像倍率の比率Rが4.0から2.0へ、更には2.0から1.5へ変化する場合の補

間画素データの出力例を図8に示す。図8では、変換係数 γ が32 (結像倍率の比率Rが4.0) の値をもつ間、入力画素データに対して4倍の個数の補間画素データが出力され、変換係数 γ が64 (結像倍率の比率Rが2.0) の値をもつ間、入力画素データに対して2倍の個数の補間画素データが出力され、変換係数 γ が85 (結像倍率の比率が1.5) の値をもつ間、入力画素データに対して1.5倍の個数の補間画素データが出力される。

【0065】以上に示した画像補正装置1により、図9に示すような歪曲収差を含む画像データI1を補正する補正方法を説明する。図9の画像データI1は、画像中心60cから見て水平方向に樽形歪曲が発生し、垂直方向に糸巻き形歪曲が発生したものである。この画像データI1が歪曲収差を含まない場合のものが画像データI0である。先ず、画像データI1を水平ライン用の変換係数群を用いることで水平方向の樽形歪曲収差を補正すると画像データI2が生成される。この画像データI2を右回りに90°回転したのが画像データI2aである。この画像データI2aに対して垂直ライン用の変換係数群を用いることで垂直方向 (図では水平方向) の糸巻き形歪曲収差を補正したのが画像データI3である。

【0066】このように本実施の形態1では、光学系に起因する歪曲収差などの歪みをリアルタイムに補正できるハードウェア構成を実現することが可能である。従って、従来技術のようにCPUによるソフトウェア処理をせずとも歪みを抑制された画像データを迅速に得ることが可能となる。このため、撮像センサの画素数の増大に伴って画像処理量が増大しても、極めて短時間で歪みの補正処理を終了させることが可能となる。

【0067】また本実施の形態1では、図5に示したように変換係数 $\gamma(j, i)$ は画素データA(j, i)と一対一対応であったが、この代わりに図10に示すように変換係数群 Γ を複数のブロック領域 (画素領域) $\Gamma(0, 0)$, $\Gamma(0, 1)$, $\Gamma(0, 2)$, ... に分割し、これらブロック領域の各々に同一の変換係数を割り当ててもよい。例えば、領域 $\Gamma(0, 0)$ は4つの変換係数 $\gamma(0, 0)$, $\gamma(0, 1)$, $\gamma(1, 0)$, $\gamma(1, 1)$ で構成され、これら変換係数は全て同一の値をもつ。これにより、変換係数の個数が減るため変換係数記憶部4の記憶領域を削減でき、変換係数記憶部4の消費電力を低減させることが可能となる。尚、図10に示した例では変換係数群 Γ を2×2のブロック単位で分割したが、この代わりに変換係数群 Γ を垂直方向または水平方向のライン単位で分割しても構わない。

【0068】実施の形態2. 次に、本発明の実施の形態2について説明する。図11は、本実施の形態2に係る画像補正装置1Aの概略構成を示すブロック図である。尚、図11中、図1に示した符号と同一符号を付されたブロックについては、上記ブロックと略同一構成を有す

10

20

30

40

50

るものとして詳細な説明を省略する。

【0069】図12に模式的に示すように本実施の形態2では、図4の画像データ50に対応する変換係数群 Γ は、斜線を付した変換係数からなる境界領域（境界線）で区画されており、その境界領域の交点に対応する太線で囲まれた変換係数 $\gamma(0, 0)$, $\gamma(0, 4)$, $\gamma(4, 0)$, $\gamma(4, 4)$, …のみが変換係数記憶部4に格納されている。よって、全ての画素データA(j, i)に対応する変換係数 $\gamma(j, i)$ を用意する場合と比べて、変換係数記憶部4の記憶領域を削減できる。

【0070】また変換係数補間部7は、補間係数算出部2から「L」レベルの比較信号SPを受けると、DMAコントローラ6Aに対して補間に必要な変換係数の転送要求TRを発する。DMAコントローラ6Aは、当該転送要求TRに従った変換係数を変換係数記憶部4から読み出して変換係数補間部7に出力する。変換係数補間部7における補間処理の例は次の通りである。前記境界領域の交点に対応する変換係数、例えば $\gamma(0, 0)$ や $\gamma(0, 4)$ などは変換係数記憶部4から転送されると、そのまま補間係数算出部2に出力される。また、境界領域上の変換係数、例えば $\gamma(0, 1)$ や $\gamma(0, 3)$ を補間する場合、当該境界領域上の変換係数 $\gamma(0, 0)$ 、 $\gamma(0, 4)$ を用いて線形補間法により、 $\gamma(0, 1) = (3/4) \cdot \gamma(0, 0) + (1/4) \cdot \gamma(0, 4)$ 、 $\gamma(0, 3) = (2/4) \cdot \gamma(0, 0) + (2/4) \cdot \gamma(0, 4)$ 、に従って補間処理が実行される。

【0071】更に、当該境界領域内の変換係数、例えば $\gamma(1, 1)$ を補間する場合、前記交点に対応する変換係数 $\gamma(0, 0)$ 、 $\gamma(0, 4)$ 、 $\gamma(4, 0)$ および $\gamma(4, 4)$ を用いて線形補間法により、 $\gamma(1, 1) = (3/4) \cdot \gamma(0, 1) + (1/4) \cdot \gamma(4, 1)$ 、または $\gamma(1, 1) = (3/4) \cdot \gamma(1, 0) + (1/4) \cdot \gamma(1, 4)$ 、すなわち $\gamma(1, 1) = (9/16) \cdot \gamma(0, 0) + (3/16) \cdot \gamma(0, 4) + (3/16) \cdot \gamma(4, 0) + (1/16) \cdot \gamma(4, 4)$ 、に従って補間処理が実行される。このような補間処理により変換係数としてはほぼ正確な近似値を算出できるから、変換係数の個数を削減できるため変換係数記憶部4の消費電力を低減できると同時に、画像データ中の歪みを高精度に補正することが可能となる。

【0072】尚、図12に示す変換係数群 Γ の代わりに、図13に示すような変換係数群 Γ 、すなわち、斜線を付された複数本（複数領域）の変換係数列 Γ_1 , Γ_2 , Γ_3 のみを変換係数記憶部4に格納しておき、変換係数補間部7は、変換係数列 Γ_1 , Γ_2 , Γ_3 に属する変換係数を用いて当該変換係数列の間に位置する変換係数を補間導出するものでもよい。また、本実施の形態2では線形補間法を用いたが、本発明では線形補間法に限らず、スプライン関数などを用いた他の公知の補間法

を採用してもよい。

【0073】実施の形態3. 次に、本発明の実施の形態3について説明する。図14に模式的に示すように、上記実施の形態1, 2においてDMAコントローラ6は、補正前の画像データ50の左端から右端に向けたアドレス増加方向51に従ってアドレスを指定し、当該アドレスの画素データを読み出しDMA転送している。しかしながら、図15に示すように上記補間画素算出部3から出力された補間画像データ55には、左端から右端に行くに従って誤差が累積することで、各ライン毎に補間画素データ56の画素数が異なる結果となる。また、その誤差は、補間画像データ55中に左右非対称に現れるため補間画像データ55の画質が若干低下する場合があった。

【0074】そこで、本実施の形態3に係る画像補正方法では、図16に示すように画像データ50の歪みの程度が最低の画像中心を通る中心線61cを設定し、この中心線61cの両側に左画像データ50aおよび右画像データ50bを設ける。そして、DMAコントローラ6は、その中心線61cを起点としてアドレス増加方向51aまたは51bに従ってアドレス指定を実行し、且つ左右の画像データ50a, 50bの各々について個別に画素データを読み出して補間画素算出部3に転送する。転送された左右の画像データ50a, 50bは、補間画素算出部3で個別に補間処理を受けた後に、主メモリ5などのバッファ領域70にフレーム単位で転送され格納される。これにより、図17に示すように、補間画像データ57は左右対称に歪みを補正されているから、補間処理の際に発生した誤差の累積も左右対称に現れるため、補間後の画質の低下を抑制することが可能となる。

【0075】また、バッファ領域70には、図17に示すように、補間画像データ57を格納する領域として、補正処理の誤差が累積し画素数の違いが現れる左右両端を格納する左側余領域70bおよび右側余領域70cと、それ以外の太枠で囲まれる中央領域70aとを設けることが望ましい。これにより、中央領域70aのみの画素データを読み出し転送することで、一定の画素数をもつ補間画像データを取得できる。また左側および右側の余領域70b, 70cに含まれる補間画素データの個数は予測し難いことから、中央領域70aの画素データのみを転送することで、転送時のアドレス指定の方法を簡略化できる。

【0076】実施の形態4. また図18は、本発明の実施の形態4に係る画像補正装置の補間係数算出部2Aを示す回路図である。図18中、図2に示す符号と同一符号を付した回路については上記のものと略同一機能を有するとして詳細な説明を省略する。

【0077】本実施の形態4の補間係数算出部2Aは、CPU（図示せず）などから転送されたサイズ変更係数SVを格納するレジスタ27を備えており、またCPU

10

20

30

40

50

などから伝達した選択制御信号DSにより、上記変換係数 γ が入力する「1」側端子とサイズ変更係数SVが入力する「0」側端子との何れか一方を選択する第4セクタ26を備えている。これらレジスタ27と第4セクタ26とを除いた構成および動作は上記実施の形態1の補間係数算出部2のそれらと同じである。サイズ変更係数SVは、画像データの拡大率 K_0 から算出される値であり、次式(3)で定義される。

$$【0078】SV = P_{BASE} / K_0 \quad (3)$$

よって、サイズ変更係数SVの値は、拡大率 K_0 の値が1.0、1.5、2.0の時、それぞれ128、85、64となる。従って、このような補間係数算出部2Aを備えた画像補正装置は、第4セクタ26が「1」側端子を選択した場合は転送される変換係数 γ に基づいて歪みを補正し、第4セクタ26が「0」側端子を選択した場合にはサイズ変更係数SVに基づいて画像データを拡大または縮小することができる。このため、本実施の形態4に係る画像補正装置により、画像サイズを変更する回路構成と歪みを補正する回路構成とを独立にもつ必要が無くなるため、回路規模が小さくなり電力消費量の低減が可能となる。

【0079】

【発明の効果】以上の如く、本発明の請求項1に係る画像補正装置および請求項13に係る画像補正方法によれば、画像データに含まれる歪みをリアルタイムに補正処理するハードウェア構成を実現できることから、CPUによるソフトウェア処理が不必要となり、歪みが抑制された高品位な画像データを迅速に得ることが可能となる。また、補正処理時間が短縮化されるため撮影時間を短縮化でき、更には消費電力が低減するためにこの画像補正装置を組み込んだデジタル・スチル・カメラなどの撮影デバイスを長時間動作させることが可能となる。

【0080】また請求項2および請求項14によれば、上記補間係数算出部は、画素データの転送と同期して連続的に転送される上記変換係数に対して、リアルタイムに上記第1補間係数と第2補間係数とを算出する。またデータ転送制御部は、上記比較回路から出力される制御信号により、上記第1補間係数と第2補間係数とが算出されるタイミングに合わせて画素データを転送するように制御される。従って、上記歪みを画素データ単位でリアルタイムに補正できる。

【0081】また請求項3および請求項15によれば、補間画素算出部は、上記第2補間係数を重み付けする第2の画素データを正確なタイミングで保持することができる。従って、上記歪みを画素データ単位でリアルタイムに且つより高精度に補正できる。

【0082】また請求項4および請求項16によれば、デジタル・スチル・カメラやデジタル・ビデオ・カメラなどの光学系に起因する歪曲収差を高精度に補正することが可能となる。

【0083】また請求項5および請求項17によれば、水平方向の歪みと垂直方向の歪みとを含む画像データをリアルタイムに且つ高精度に補正することが可能となる。

【0084】また請求項6および請求項18によれば、水平方向の歪みと垂直方向の歪みとを個別に補正できる。

【0085】また請求項7および請求項19によれば、各画素データ毎に上記変換係数を用意する場合と比べて、変換係数の個数が減少するためそれら変換係数の記憶領域を削減でき、消費電力を低減させることが可能となる。

【0086】また請求項8および請求項20によれば、各画素データ毎に上記変換係数を用意する場合と比べて、変換係数の個数が減少するためそれら変換係数の記憶領域を削減でき、消費電力を低減することができる。共に、上記境界線間の画素データに対応する変換係数が補間されるから、歪曲収差を高精度に補正することが可能となる。

【0087】また請求項9および請求項21によれば、補間後の画像データは左右対称に歪みを補正されているため、画質の低下を抑制することが可能となる。

【0088】また請求項10および請求項22によれば、2つの画像領域について同一の変換係数値を使用できるため、変換係数の記憶領域をおよそ半分に削減できる。

【0089】また請求項11および請求項23によれば、上記余領域を除いたバッファ領域から補正後の画像データを切り出すことで、補間処理の際に発生した誤差が蓄積し画素数の違いが現れる両端部を含まない、一定の画素数をもつ補間画像データを取得できる。

【0090】そして請求項12および請求項24によれば、画像サイズを変更する回路構成と歪みを補正する回路構成とを独立にもつ必要が無くなるため、全体の回路規模が小さくなり且つ電力消費量の低減が可能となる。

【図面の簡単な説明】

【図1】本発明の実施の形態1に係る画像補正装置の概略構成を示すブロック図である。

【図2】実施の形態1に係る画像補正装置を構成する補間係数算出部の回路図である。

【図3】実施の形態1に係る画像補正装置を構成する補間画素算出部の回路図である。

【図4】実施の形態1に係る画像補正装置の補間画素算出部に転送される画像データを示す模式図である。

【図5】実施の形態1に係る画像補正装置の補間係数算出部に転送される変換係数群を示す模式図である。

【図6】結像倍率の比率Rが1.0の場合の補間方法を説明するための図である。

【図7】結像倍率の比率Rが2.0の場合の補間方法を説明するための図である。

【図 8】結像倍率の比率 R が 4.0 から 2.0、2.0 から 1.5 に変化する場合の補間方法を説明するための図である。

【図 9】樽形と糸巻き形の歪曲収差を含む画像データの補間方法を説明するための図である。

【図 10】実施の形態 1 に係る画像補正装置で用いる他の変換係数群の例を示す模式図である。

【図 11】本発明の実施の形態 2 に係る画像補正装置の概略構成を示すブロック図である。

【図 12】実施の形態 2 に係る画像補正装置で用いる変換係数群の例を示す模式図である。

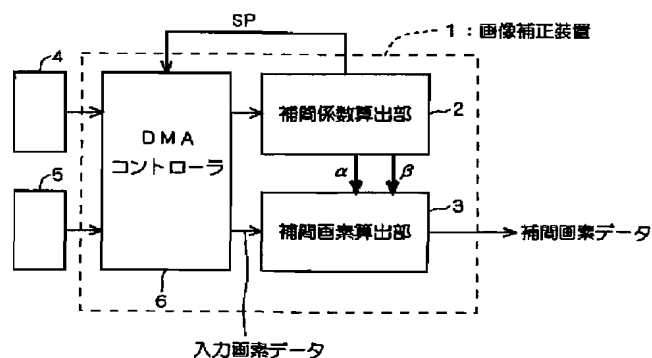
【図 13】実施の形態 2 に係る画像補正装置で用いる変換係数群の他の例を示す模式図である。

【図 14】従来の補正前の画像データの読出し方法を説明するための図である。

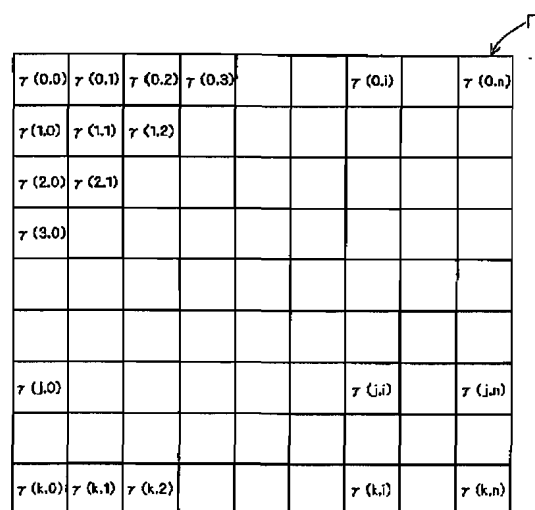
【図 15】従来の補正後の画素データの配列を示す模式図である。

【図 16】本発明の実施の形態 3 において補正前の画像データの読出し方法を説明するための図である。 *

【図 1】



【図 5】



* 【図 17】実施の形態 3 において補正後の画素データの配列を示す模式図である。

【図 18】本発明の実施の形態 4 に係る画像補正装置を構成する補間係数算出部の回路図である。

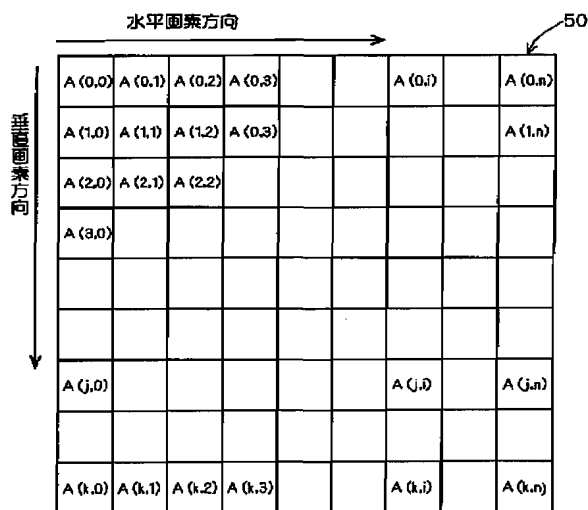
【図 19】(a) は、歪曲収差を含まない正方形の画像データを示す図、(b) は、糸巻き形に歪曲した画像データを示す図、(c) は、樽形に歪曲した画像データを示す図である。

【図 20】(a) は、歪曲収差を含まない画像データを示す図、(b) は、水平方向に糸巻き形に、垂直方向に樽形に歪曲した画像データを示す図である。

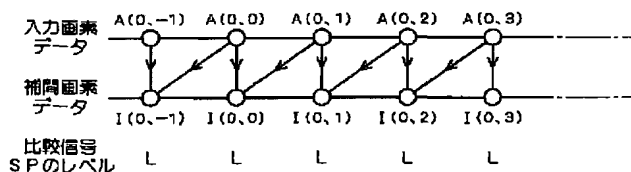
【符号の説明】

- 1 画像補正装置
- 2 補間係数算出部
- 3 補間画素算出部
- 4 変換係数記憶部
- 5 主メモリ
- 6 DMA コントローラ

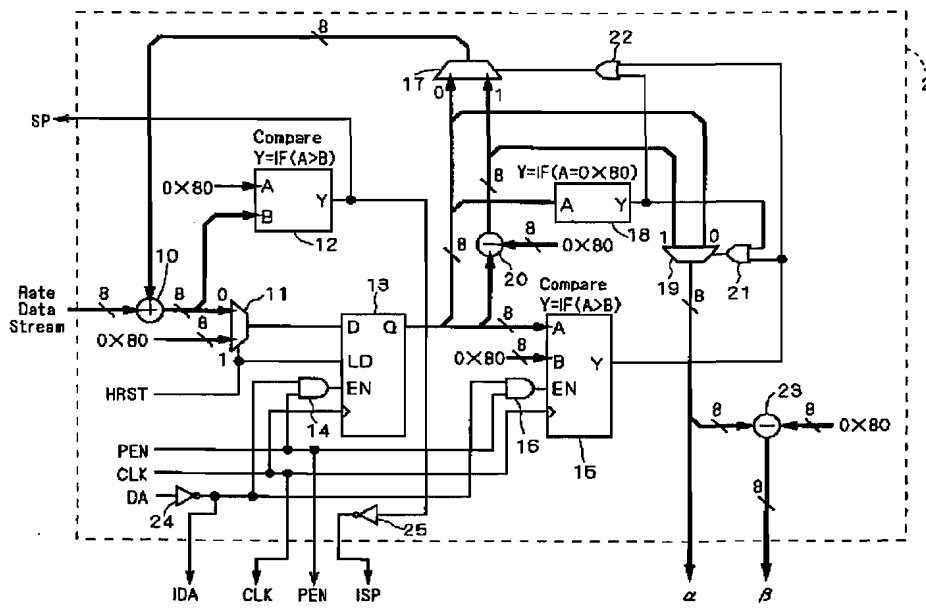
【図 4】



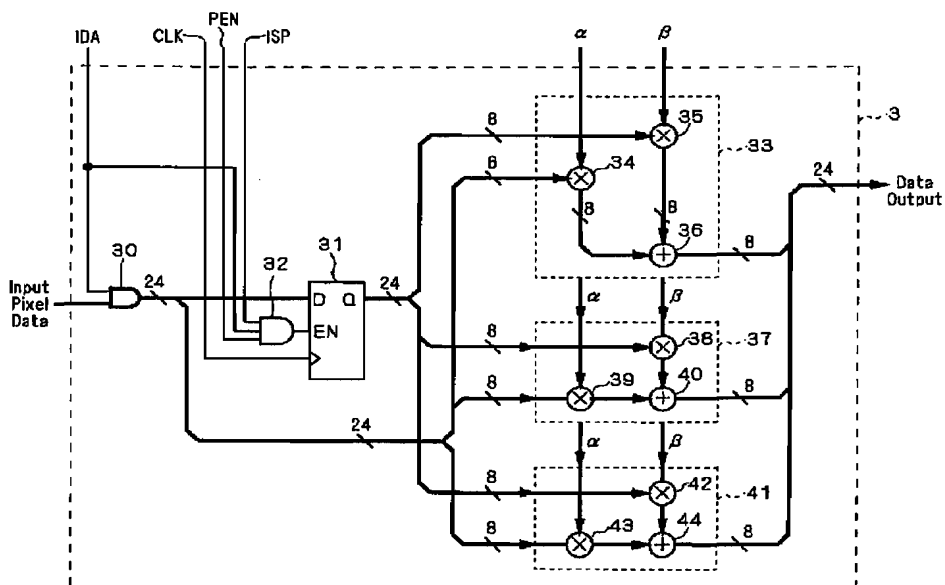
【図 6】



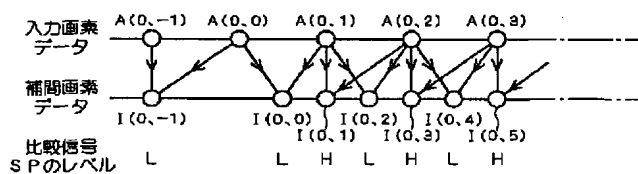
【図2】



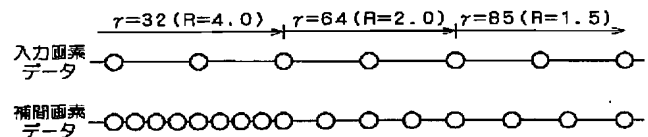
【図3】



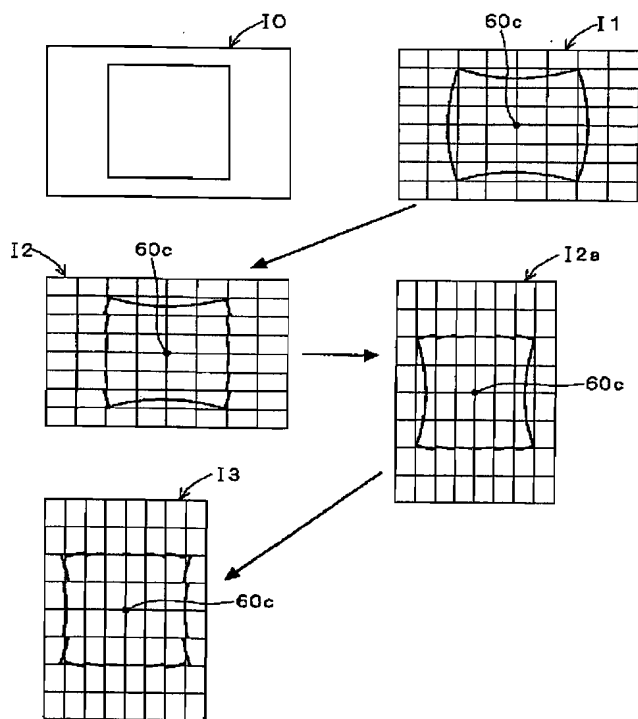
【図7】



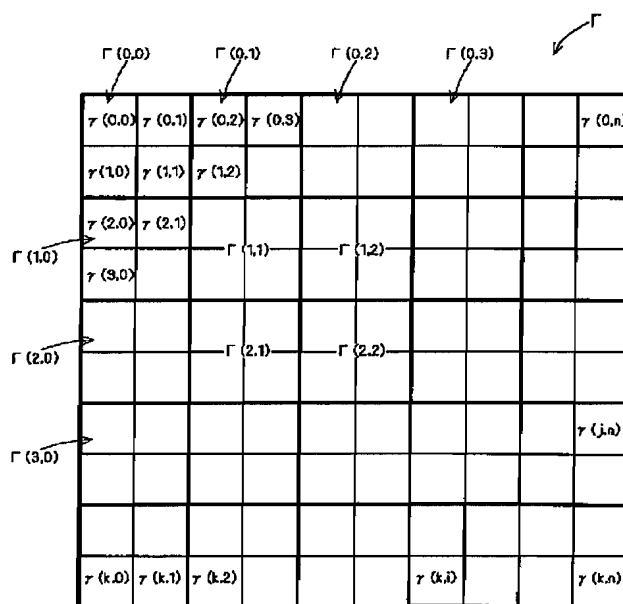
【図8】



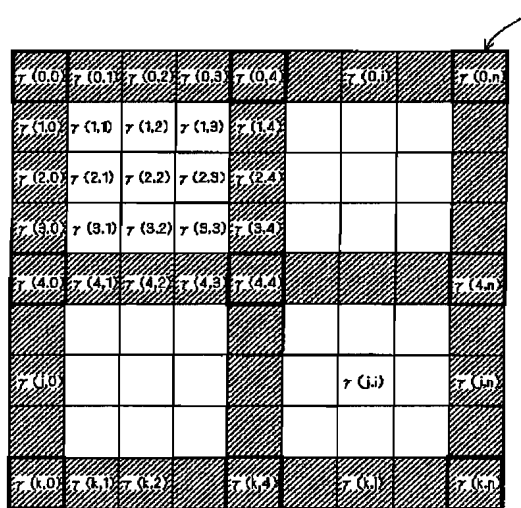
【図 9】



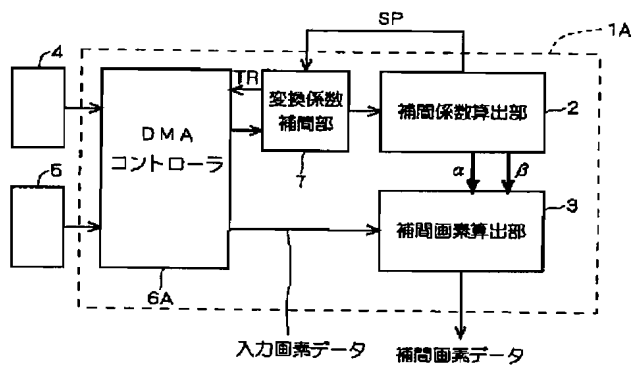
【図 10】



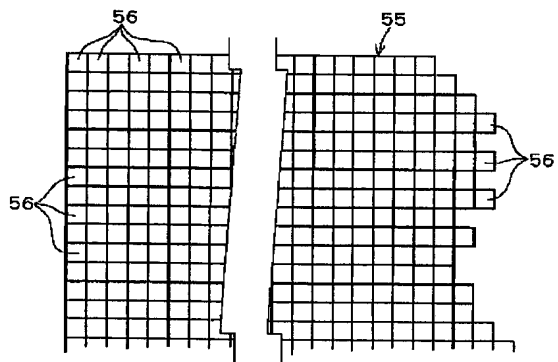
【図 12】



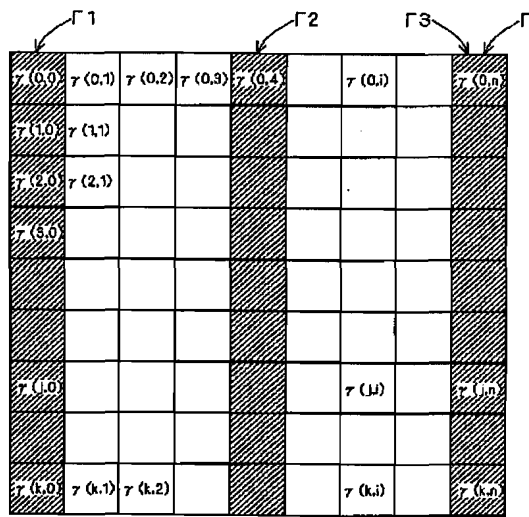
【図 11】



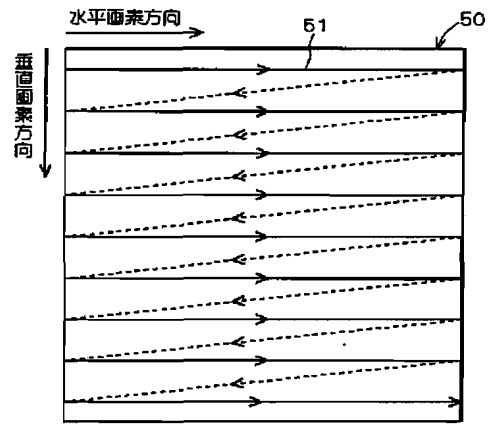
【図 15】



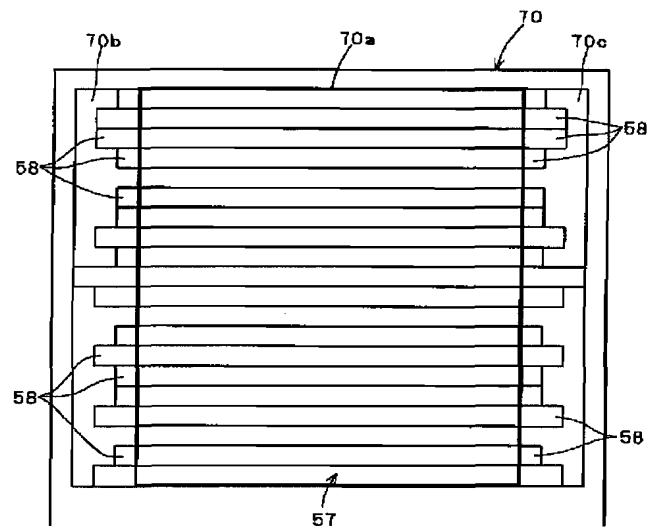
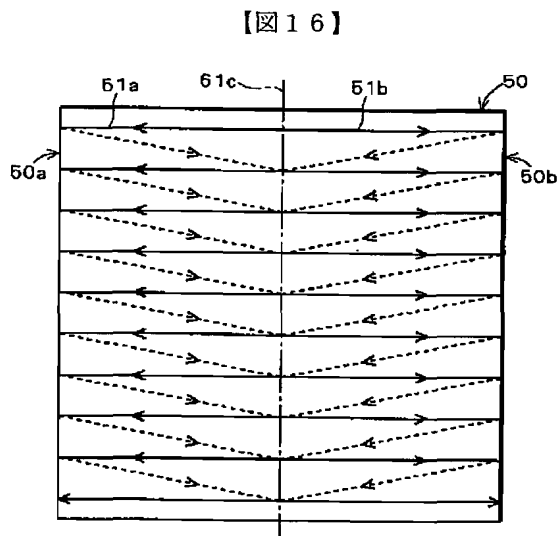
【図13】



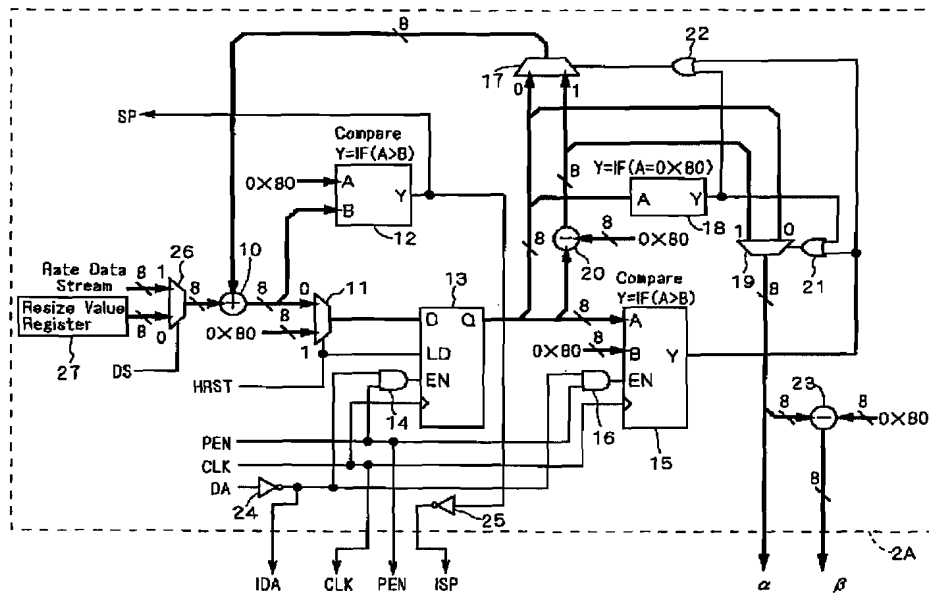
【図14】



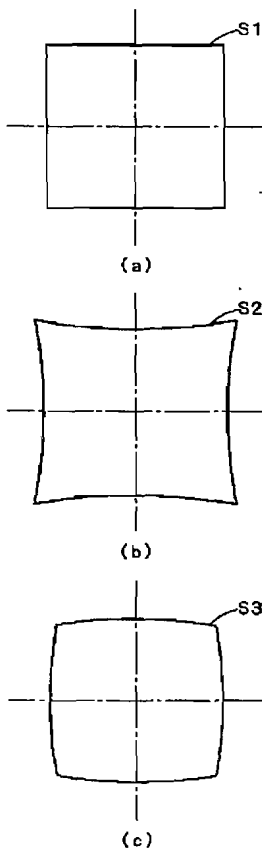
【図17】



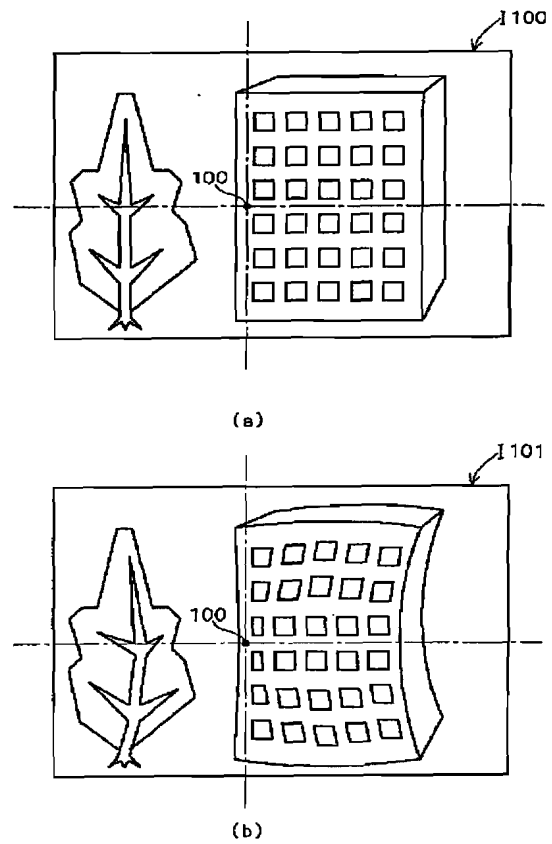
【図18】



【図19】



【図20】



フロントページの続き

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
H 0 4 N	9/07	H 0 4 N	R 5 C 0 8 2
	9/64	1/40	1 0 1 Z

F ターム (参考) 5B057 CA08 CA12 CA16 CB08 CB12
CB16 CC01 CD12 CH08 CH14
5C022 AA13 AB66 AC54
5C065 AA01 BB48 CC02 CC03 GG26
GG32
5C066 AA11 CA17 GA01 GA02 GA05
KD01 KE02 KE03 KE07 KG01
KP05
5C077 LL18 PP59 PP71 PQ18 PQ20
RR19 TT09
5C082 AA27 BA12 CA85 MM02 MM10